

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-159993

(43)Date of publication of application : 20.06.1997

(51)Int.Cl. G02F 1/133  
G02F 1/133

(21)Application number : 07-316505

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.12.1995

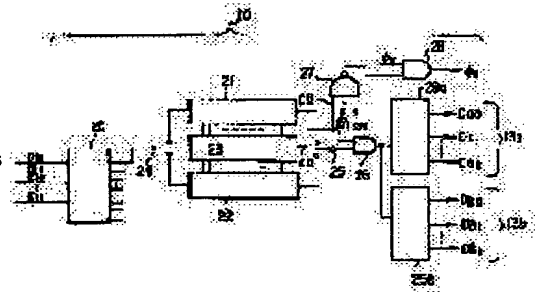
(72)Inventor : SUZUKI KOJI  
OKUMURA HARUHIKO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To lower the power consumption of a driving circuit without spoiling picture quality.

**SOLUTION:** In an active matrix type control circuit 10, 1st and 2nd shift registers 21 and 22 are arranged. Then display data which is one scanning line precedent is transferred to the 2nd shift register 22 and display data corresponding to the latest inputted scanning line is transferred to the 1st shift register 21. A comparator 23 compares the data of the 1st and 2nd shift registers 21 and 22 with each other. When the display data all match each other, a coincidence signal is outputted from the comparator 23, but when some of the display data is discrepant, on the other hand, a discrepancy signal is outputted. When the coincidence signal is outputted, no new display data is transferred and the display data, one scanning line precedent, which is latched by a signal line driving circuit is used as it is.



## LEGAL STATUS

[Date of request for examination] 19.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-159993

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 0		G 0 2 F 1/133	5 2 0
	5 5 0			5 5 0

審査請求 未請求 請求項の数 6 O L (全 9 頁)

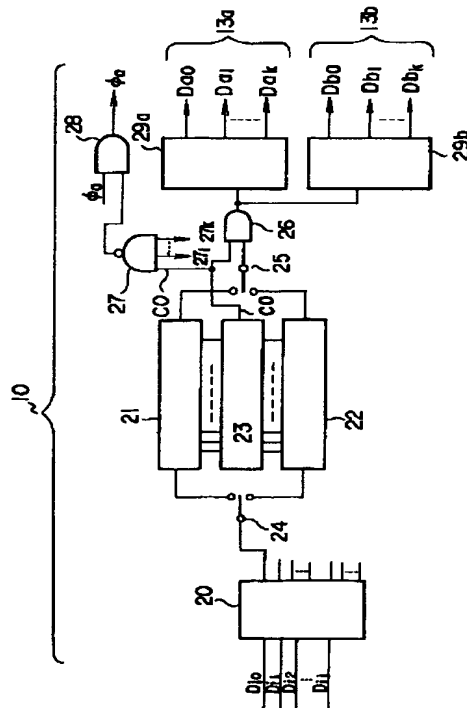
(21) 出願番号	特願平7-316505	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)12月5日	(72) 発明者	鈴木 幸治 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内
		(72) 発明者	奥村 治彦 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画質を損なうことなく駆動回路の消費電力を低減する。

【解決手段】アクティブマトリックス型の液晶表示装置のコントロール回路10には、第1及び第2のシフトレジスタ21、22が配設される。第2シフトレジスタ22には1走査線前の表示データが、第1シフトレジスタ21には入力された最新の走査線に対応した表示データが転送される。第1及び第2シフトレジスタ21の表示データはコンパレータ23で比較される。全表示データが一致した場合、コンパレータ23から一致信号が出力され、逆に、少なくとももある一部の表示データが一致していない場合、不一致信号が出力される。一致信号が出力される場合、新たな表示データは転送されず、信号線駆動回路にラッチされていた1走査線前の表示データがそのまま用いられる。



## 1

## 【特許請求の範囲】

【請求項1】マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向電極間に配設された液晶層と、デジタル化された表示信号により前記画素電極に表示電圧を一定の周期で同期して転送するための周辺回路と、を具備する液晶表示装置において、

転送周期間の前記表示信号の相関性を検知する手段と、後発の表示信号内の相関するデータの転送を停止する手段と、転送が停止されたデータを先発の表示信号のデータに基づいて復調する手段と、を更に具備することを特徴とする液晶表示装置。

【請求項2】格子状に配設された複数の信号線と複数のアドレス線との交点に対応して、マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向電極間に配設された液晶層と、前記アドレス線信号と同期して、デジタル化された表示信号により前記信号線に表示電圧を転送するための周辺回路と、を具備する液晶表示装置において、

前記周辺回路の信号線駆動回路が、ラインメモリと、複数の $n$ ビットのシフトレジスタと、を具備することと、前記液晶表示装置が、前記 $n$ ビットのシフトレジスタの中で第 $m$ 番目のアドレス線に対応する表示データと第 $(m-1)$ 番目の表示データとを比較し、前記第 $m$ 番目の表示データが前記第 $(m-1)$ 番目の表示データと同一である時、前記第 $m$ 番目の表示データの転送を停止し、前記ラインメモリに格納された第 $(m-1)$ 番目のアドレス線に対応する表示データを前記信号線に出力する手段を具備することと、を特徴とする液晶表示装置。

【請求項3】格子状に配設された複数の信号線と複数のアドレス線との交点に対応して、マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向電極間に配設された液晶層と、前記アドレス線信号と同期して、デジタル化された表示信号により前記信号線に表示電圧を転送するための周辺回路と、を具備する液晶表示装置において、

前記周辺回路の信号線駆動回路が、複数の $n$ ビットのシフトレジスタを具備することと、前記液晶表示装置が、前記 $n$ ビットのシフトレジスタの中で第 $m$ 番目のアドレス線に対応する表示データと第 $(m-1)$ 番目の表示データとを比較し、前記第 $m$ 番目データを、前記第 $(m-1)$ 番目の表示データと論理値が一致するビットと一致しないビットとに夫々対応したデジタル信号からなる論理データに変換して転送する手段と、前記 $n$ ビットのシフトレジスタに転送された前記論理データを複調する手段とを具備することと、特徴とする液晶表示装置。

【請求項4】前記周辺回路が、各画素の表示電圧に対応するデジタル信号を格納する手段と、前記デジタル

## 2

信号とは別に各画素のデータの書換を判別する論理信号を前記信号線駆動回路に転送する手段と、を更に具備し、前記論理信号が書換の状態の時にのみ、前記画素電極に前記デジタル信号が転送されることを特徴とする請求項1乃至3のいずれかに記載の液晶表示装置。

【請求項5】全画素に対応した前記表示信号を格納する画像メモリと、前記画像メモリのデータをフィールド毎に前記信号線駆動回路に転送する手段と、を更に具備し、前記画像メモリが、表示信号とは別に表示データの状態が最新フィールドで書き換えられたかを判定するデータ判定ビットを各画素毎に有することと、前記データ判定ビットにより、書換に対応する画素データのみが前記信号線駆動回路へ転送されるのと同時に、この書換ビットも同時に転送されることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】前記画像メモリが前記周辺回路とは別に配設されることを特徴とする請求項5に記載の液晶表示装置。

## 【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は液晶表示装置、特にアクティブマトリックス型の液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は薄型、軽量で、低電圧駆動が可能で、更にカラー化も容易である等の特徴を有し、近年、パーソナルコンピュータ、ワープロなどの表示装置として利用されている。中でも各画素毎に、スイッチ素子として薄膜トランジスタ(TFT)を設けた所謂アクティブマトリックス型の液晶表示装置は、多画素にしてもコントラスト、レスポンス等の劣化がなく、更に、中間調表示も可能であることから、フルカラーテレビやOA用の表示装置として最適な方式とされている。

【0003】アクティブマトリックス型の液晶表示装置は、2枚の平面ガラス基板(アレイ基板及び対向基板)と、これら基板間に挟まれた液晶層とからなる構造を有する。一方のガラス基板、即ち、対向基板上には、各画素に対応したカラーフィルター配列と、透明電極(対向電極)とが配設される。アレイ基板には、マトリックス状に配列された透明電極からなる画素電極と、各画素電極にそのソース電極が接続されたTFTとが配設される。TFTのゲート電極は、X方向に設けられたアドレス線に接続され、ドレイン電極はアドレス線と直角方向に設けられた信号線に接続される。

【0004】このように構成された液晶表示装置では、所定のタイミングでアドレス線、信号線に夫々アドレス信号、データ信号を印加することにより、各画素電極に表示に対応した電圧を選択的に印加することができる。液晶層の配向は、即ち、光透過率は、対向電極と画素電極との電位差で制御でき、これにより任意の表示が可能

## 3

となる。詳細はT. P. Brodyらの文献 (IEEE Trans. on Electron. Devices. Vol. ED-20, Nov., 1973, pp. 995-1001) に述べられている。

【0005】液晶表示装置には透過型と反射型との2種類があり、共に、液晶パネルと各画素に表示電圧を印加する駆動回路とから構成される。透過型液晶表示装置は、液晶パネルの背面にバックライトを設置することにより所望の画面輝度を得ている。液晶表示装置の消費電力は駆動回路及びバックライトの電力で決まる。特に、携帯用の用途では電池駆動による長時間動作が望まれており、低消費電力型の液晶表示装置が必須である。画面サイズが対角10インチ程度以下の液晶表示装置では、バックライト効率や画素の開口率などの向上により、バックライト電力の割合が低下し、駆動回路の消費電力が全体の1/3程度以上となってきている。また、反射型の液晶表示装置では、駆動回路の電力が全てとなる。更に、近年では画像の多階調化により、駆動回路の消費電力も増大してきている。

## 【0006】

【発明が解決しようとする課題】駆動回路の消費電力の観点で、従来の液晶表示装置の動作を考察すると、コントロール回路(図1の符号10参照)には、表示される映像に関係なく常に映像信号が入力され、液晶表示装置内の各駆動回路が動作している。この場合、駆動回路の大部分はCMOSで構成されるため、静的な消費電力は少ないものの、データ量が増大する大画面且つ高精細のディスプレイでは、動的な消費電力が増え、駆動回路の消費電力を増大させる原因となる。

【0007】例えば、一秒間あたりの表示される映像に対応する全データ量は、ストライプ配列のカラーVGAの場合、 $60[\text{Hz}] * 640 * 3[\text{画素}] * 480$

$[\text{画素}] * 8[\text{ビット}] = 400[\text{Mビット}]$ となり、カラーSXGAの場合、 $60 * 1280 * 3 * 1024 * 8 = 1600[\text{Mビット}]$ となり、これらのディスプレイでは膨大なデータ処理を行うことになる。このデータ処理に費やされる消費電力は、液晶表示装置の消費電力を増大させ、特に携帯用機器への高精細液晶表示装置の適用を阻害する要因となる。従って、本発明の目的は、液晶表示装置において、画質を損なうことなく駆動回路の消費電力を低減することにある。

## 【0008】

【課題を解決するための手段】本発明の骨子は、表示される映像データの相関性を考慮し、信号線駆動回路におけるデータ処理量を低減し、駆動回路の消費電力を低減することにある。即ち、上記の目的を達成するために、本発明の液晶表示装置は、次のいずれかの方法により、信号線駆動回路でのデータ処理量を低減する。

【0009】本発明の第1の視点は、マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向

## 4

電極間に配設された液晶層と、デジタル化された表示信号により前記画素電極に表示電圧を一定の周期で同期して転送するための周辺回路と、を具備する液晶表示装置において、転送周期間の前記表示信号の相関性を検知する手段と、後発の表示信号内の相関するデータの転送を停止する手段と、転送が停止されたデータを先発の表示信号のデータに基づいて復調する手段と、を更に具備することを特徴とする。

【0010】本発明の第2の視点は、格子状に配設された複数の信号線と複数のアドレス線との交点に対応して、マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向電極間に配設された液晶層と、前記アドレス線信号と同期して、デジタル化された表示信号により前記信号線に表示電圧を転送するための周辺回路と、を具備する液晶表示装置において、前記周辺回路の信号線駆動回路が、ラインメモリと、複数のnビットのシフトレジスタと、を具備することと、前記液晶表示装置が、前記nビットのシフトレジスタの中で第m番目のアドレス線に対応する表示データと第(m-1)番目の表示データとを比較し、前記第m番目の表示データが前記第(m-1)番目の表示データと同一である時、前記第m番目の表示データの転送を停止し、前記ラインメモリに格納された第(m-1)番目のアドレス線に対応する表示データを前記信号線に出力する手段を具備することと、を特徴とする。

【0011】本発明の第3の視点は、格子状に配設された複数の信号線と複数のアドレス線との交点に対応して、マトリックス状に配列された互いに電氣的に独立な複数の画素電極と、前記画素電極と対向する対向電極と、前記画素電極と対向電極間に配設された液晶層と、前記アドレス線信号と同期して、デジタル化された表示信号により前記信号線に表示電圧を転送するための周辺回路と、を具備する液晶表示装置において、前記周辺回路の信号線駆動回路が、複数のnビットのシフトレジスタを具備することと、前記液晶表示装置が、前記nビットのシフトレジスタの中で第m番目のアドレス線に対応する表示データと第(m-1)番目の表示データとを比較し、前記第m番目データを、前記第(m-1)番目の表示データと論理値が一致するビットと一致しないビットとに夫々対応したデジタル信号からなる論理データに変換して転送する手段と、前記nビットのシフトレジスタに転送された前記論理データを復調する手段とを具備することと、を特徴とする。

【0012】本発明の第4の視点は、第1乃至3の視点のいずれかに係る液晶表示装置において、前記周辺回路が、各画素の表示電圧に対応するデジタル信号を格納する手段と、前記デジタル信号とは別に各画素のデータの書換を判別する論理信号を前記信号線駆動回路に転送する手段と、を更に具備し、前記論理信号が書換の状

## 5

態の時にのみ、前記画素電極に前記デジタル信号が転送されることを特徴とする。

【0013】本発明の第5の視点は、第4の視点に係る液晶表示装置において、全画素に対応した前記表示信号を格納する画像メモリと、前記画像メモリのデータをフィールド毎に前記信号線駆動回路に転送する手段と、を更に具備し、前記画像メモリが、表示信号とは別に表示データの状態が最新フィールドで書き換えられたかを判定するデータ判定ビットを各画素毎に有することと、前記データ判定ビットにより、書換に対応する画素データのみが前記信号線駆動回路へ転送されるのと同時に、この書換ビットも同時に転送されることを特徴とする。

【0014】本発明の第6の視点は、第5の視点に係る液晶表示装置において、前記画像メモリが前記周辺回路とは別に配設されることを特徴とする。本発明の駆動回路を用いた液晶表示装置では、駆動回路の消費電力の低減を実現できる。一般的に、表示画像は隣接する画素間では強い相関性があり、更にコンピュータ用のディスプレイに表示される画像はほとんどが静止画である。

【0015】本発明の第1及び第2の視点によれば、隣接する走査線間の表示データが全く同一か、あるいは一部が同一の場合、信号線駆動回路内に設けたラインメモリの表示データをそのまま次の走査線に対応した画素のデータとして用いることができる。従って、駆動回路内でも特に消費電力が高いコントロール回路から信号線回路へのデータ転送と信号線駆動回路内のシフトレジスタの動作が削減できる。

【0016】また、本発明の第3及び第4の視点によれば、隣接する走査線間の表示データの一部のみが異なる場合に、このデータのみを信号線駆動回路内で処理するため、データ処理量の大幅な削減が実現でき、動的なCMOS回路の消費電力を大きく低減できる。

【0017】更に、本発明の第5及び第6の視点によれば、表示データが新規に書替えられた任意画素のデータのみを処理すればよいため、大幅な消費電力の削減が実現できる。本発明に係る駆動回路構成は、特にグラフィック表示が多いOA用の表示装置において多大な効果を発揮する。

【0018】

【発明の実施の形態】図1は以下に述べる本発明の実施の形態に共通する液晶表示装置の概要を示す。液晶パネル1はTFT-LCD型をなし、即ちマトリクス状に配置された複数の画素の夫々の画素電極5に薄膜トランジスタ(TFT)4が付設される。TFT4のゲート電極は、X方向に設けられたアドレス線即ちゲート線3に接続される。TFT4のソース電極は画素電極5に接続され、ドレイン電極はゲート線3と直交するデータ線即ち信号線2に接続される。信号線2(S1、…)に印加された表示信号は、走査線駆動回路(IC)6で発生され且つゲート線3(Y1、…)に印加された選択パルス

## 6

で導通状態となったTFT4を介して画素電極5に加えられ、液晶層を駆動する。

【0019】表示信号電圧の発生過程において、液晶表示装置に入力されたデジタルデータDi0~Dijは、コントロール回路(IC)10により、液晶パネル1の信号線2に対応した配列に並び変えられ、夫々信号Da0~Dak、Db0~Dbkに変換される。表示信号Da0~Dak、Db0~Dbkは、バスライン13a、13bを介して、信号線駆動回路(IC)15a、15bのシフトレジスタ7a、7bに入力され、1走査線分の表示信号がシフトレジスタ7a、7b内に配置される。

【0020】信号線駆動回路15a、15bにおいて、表示信号はラッチ回路8a、8bに取り込まれ、更に、これらを表示信号電圧に変換するDAコンバータ9a、9bへ入力される。信号線2に出力される表示信号電圧において、各出力Oa1、Oa2、…、Ob1、Ob2、…に対して、0~kの(k+1)ビットのデータが入力される。表示信号電圧は、走査線駆動回路6からのパルス信号で選択されたゲート線3上のTFTを介して、画素電極に印加される。

【0021】図2は本発明の第1の実施の形態に係る液晶表示装置の特徴部分を示す。図2図示の機構は、図1図示のコントロール回路(IC)10に包含されるものである。ここで、入力データDi0~Dijは、データ再配列回路20において、各信号線駆動回路15a、15bに対する表示データとして再配列される。再配列された表示データは、先ず、第1シフトレジスタ21へ転送される。続いて、次の走査線に対応した表示データは第2シフトレジスタ22に入力される。即ち、各走査線に対応した表示データは、走査線ごとに第1及び第2シフトレジスタ21、22へ交互に転送される。

【0022】ここで、例えば、第1シフトレジスタ21のm番目の走査線に対応した表示データと第2シフトレジスタ22の(m+1)番目の走査線に対応した表示データとが、コンパレータ23で比較される。全表示データが一致した場合、コンパレータ23の出力COが、一致信号として例えば“L”となる。逆に、少なくともある一部の表示データが一致していない場合、コンパレータ23の出力COが、不一致信号として例えば“H”となる。

【0023】不一致の場合、更に次の(m+2)番目の走査線の表示データが第1シフトレジスタ21に転送されるのと同期して、第2シフトレジスタ22の(m+1)番目の走査線に対応した表示データがゲート26を介してラインバッファ29a、29bへ転送される。次に、表示データは、表示信号Da0~Dak、Db0~Dbkとして、バスライン13a、13bを介してラインバッファ29a、29bから信号線駆動回路15a、15bへ転送され、従来と同様な動作により表示信号を

信号線2に発生させる。

【0024】ゲート27は、バスライン13a、13bから信号を受け取る信号線駆動回路15a、15bに全く信号が転送されない時に、信号線駆動回路15a、15bを駆動するクロック信号の転送も止めるためのものである。

【0025】ゲート28は、信号線駆動回路15a、15bへのクロックΦaを制御する回路で、コンパレータの出力が不一致の時、クロックΦaを出力する。ゲート27は、ゲート28を制御する回路であり、コンパレータの出力が不一致の時、ゲート28からクロックが発生するようにする。なお、ゲート27に入力27<sub>1</sub>、27<sub>2</sub>…27<sub>k</sub>が示されるが、これは、大画面高精細LCDにおいて、信号線駆動回路15a、15bが複数個並列に設けられている場合であって、シフトレジスタ21、22及びコンパレータ23が複数個設けられ、一致、不一致の出力COが(k+1)個発生する場合に対応したものである。この場合、入力27<sub>0</sub>～27<sub>k</sub>のいずれか1つでも不一致の場合に、ゲート28からクロックが発生するようになっている。なお、低電力駆動という考えでは、ゲート28も(k+1)個設け、各ゲートを独立に駆動してもよい。

【0026】なお、コンパレータ23の出力COが一致の場合、ゲート26、28は閉じて、表示データの転送は行われぬ。通常、信号線駆動回路15a、15bはプリント基板上に配置される。また、配線の容量や信号速度が速いためラインバッファ29a、29bの出力インピーダンスは低く設定される。このため、ラインバッファ回路の消費電力はかなりの割合となる。従って、ラインバッファから転送される高速信号の転送量を低減することにより、コントロール回路10の消費電力を大幅に低減することが可能となる。本実施の形態においては、新たな表示データと1走査線前の表示データとが一致する場合、新たな表示データは転送されず、信号線駆動回路のラッチ回路8a、8bにラッチされていた1走査線前の表示データがそのまま用いられる。

【0027】なお、この場合ラインL1、L2には、表示データの一致、不一致に対応する“H”または“L”の信号が準備され、この信号は信号線駆動回路のラッチ回路8a、8bに転送される。表示データが一致する場合であって、駆動回路をCMOS回路で構成している場合は、ラインバッファ29a、29bや、信号線駆動回路のシフトレジスタ7a、7bの状態変化がないため、殆ど電力は消費されない。また、コントロール回路10において第1及び第2シフトレジスタ21、22が新たに必要となる。しかし、これらを同一チップ内に形成しておけば、負荷容量も回路内のMOSトランジスタだけであるため非常に小さく、これによる電力はバッファ29a、29bよりもはるかに小さくできる。

【0028】図3(a)は本発明の第2の実施の形態に

係る液晶表示装置の特徴部分を示す。図3(a)図示の機構は、図1図示のコントロール回路(IC)10の入力側に配置されるものである。第2の実施の形態は、新たなデータと1走査線前のデータとを比較するという点において、第1の実施の形態と共通する。

【0029】CPU30aから転送されてくる入力データは、フレームメモリ30bに格納されると同時に、コントロール回路10に向けて転送される。本実施の形態では液晶表示装置に転送する表示データの量を削減するために、フレームメモリとデータ転送バッファ39との間に、第1の実施の形態で用いた走査線ごとのデータ比較回路と転送制御回路とが配設される。具体的にはフレームメモリ30bから出力されるデータD<sub>i0</sub>、D<sub>i1</sub>、…がシフトレジスタ31、32及びコンパレータ33により比較処理される。

【0030】新たなデータと1走査線前のデータとが一致するデータビットD<sub>ij</sub>に対応したビットでは、新たなデータはコントロール回路10に転送されない。従って、データ転送バッファ39からは、転送量が削減されたデータD<sub>i00</sub>～D<sub>ij</sub>が出力される。また、走査線出力が1ライン前のデータと同じであることを信号線駆動回路15a、15bに知らせるため、データ一致信号C<sub>i0</sub>～C<sub>ij</sub>も同時に出力する。これにより、液晶表示装置の本体側において正しい信号処理と画像処理が実現できる。

【0031】第2の実施の形態では、液晶表示装置の本体側に特別なシフトレジスタを設ける必要がないため、最も効率的に全体の消費電力を低減できる。また、データ一致信号C<sub>i0</sub>～C<sub>ij</sub>は、出力バスラインに重畳して表示装置側に転送することができる。図3(b)はその態様を示し、ここで、表示データ転送時間T<sub>a</sub>内に表示データを転送し、ブランキング時間T<sub>b</sub>内に一致信号C<sub>ij</sub>を転送する。これにより、次続のデータが新規データか、1走査線前のデータと同じであることを液晶表示装置の本体側に知らせることができる。

【0032】図4は図3図示の第2の実施の形態に係る液晶表示装置の本体側の概略を示す。ここで、入力表示データD<sub>i00</sub>～D<sub>ij</sub>が信号線駆動回路(IC)15a、15bに供給される場合が示される。例えば、入力データD<sub>i0</sub>はシフトレジスタ51に入力され、例えば、1ビットごとに信号線駆動回路15a、15bに振り分けられる(図4中のD<sub>a0</sub>、D<sub>b0</sub>)。

【0033】もし、新たなデータと1走査線前のデータとが同じで一致信号C<sub>i0</sub>が“H”となった場合、シフトレジスタ51へのクロック52が停止されシフトレジスタ51が動作を停止する。同時に、信号線駆動回路のラインメモリ(ラッチ回路8a、8b)に格納されていたデータがそのまま有効に用いられる。逆に、新たなデータと1走査線前のデータとが不一致の場合は、上述のデータの振り分け動作が行われる。

9

【0034】なお、回路54は信号線駆動回路15a、15bへのクロックΦ<sub>o</sub>を制御するものである。全データC<sub>i0</sub>~C<sub>ik</sub>が全て一致する場合、信号線駆動回路15a、15bのシフトレジスタは動作する必要がないので、回路54はクロックΦ<sub>a</sub>、Φ<sub>b</sub>の転送を停止する。

【0035】図5(a)は本発明の第3の実施の形態に係る液晶表示装置の特徴部分を示す。図5(a)図示の機構は、図1図示のコントロール回路(IC)10に包含されるものである。ここで、データD<sub>i1</sub>は、先ず、

$$Z = D_{i-1, 1} (Y_{j-1}) * D_{i, 1} (Y_j) + D_{i-1, 1} (Y_j) * D_{i, 1} (Y_{j-1}) \quad \dots (1)$$

データ列Zは、新たなデータと1走査線前のデータとで状態が異なるビットについて、状態が異なることを“1”で示す論理データ列である。即ち、本実施の形態は、1走査線前のデータから状態が変化したビットのみ抽出することにより、以降のデータ処理量を低減することを特徴とする。この点に関し、第2及び第3の実施の形態においては、新たなデータと1走査線前のデータとが部分的に同一であっても、新たなデータの全てがそのまま転送されることとなる。

【0038】図6は、図5(b)図示の如く作成された論理データ列の復調を信号線駆動回路15a、15bで実現する態様を示す。ここで、シフトレジスタ71は図1のシフトレジスタ7a(または7b)に対応し、ラインメモリ72、変換回路73は図1のラッチ回路8a(または8b)に対応する。データ列Zは、信号線駆動回路のシフトレジスタ71に入力され、更にラインメモリ72内の1走査線前のデータと共に変換回路73に転送される。変換回路73では、(1)式とは逆のデータ変換が行われ、変換されたデータW<sub>i1</sub>が信号電圧発生回路へ転送されると同時に、ラインメモリ72に格納される。

【0039】第3の実施の形態に係る駆動回路はOA用画像データを考慮した時、特に低電力効果を発揮する。次に、図7及び図8を参照して、本発明の第4及び第5の実施の形態を説明する。第4及び第5の実施の形態は、液晶パネルにおいて、各画素が何らかのメモリ機能を有するか、任意画素へ選択的にデータを書き込む機能を有する場合に適用することができる。

【0040】図7は本発明の第4の実施の形態に係る液晶表示装置の特徴部分を示す図である。図7において、各画素には2個のTFT81、82が配設され、第1のTFT81には書き込み可否の信号G<sub>ij</sub>が入力される。ここで、書き込み可、即ちG<sub>ij</sub>=“H”の信号がTFT81を介して、信号電圧書き込み用のTFT82のゲート電極に書き込まれると、TFT82がオン状態となる。この状態において、DAコンバータ83(図1図示のDAコンバータ9a、9bに対応)からの表示電圧V<sub>oij</sub>が画素電極5<sub>ij</sub>に書き込み可能となる。表

10

第1シフトレジスタ61へ転送される。続いて、次の走査線に対応した表示データは第2シフトレジスタ62に転送される。更に、次の走査線に対応した表示データは再び第1シフトレジスタ61へ転送される。

【0036】第1及び第2シフトレジスタ61、62内の表示データの比較に基づき、第3シフトレジスタ63において、図5(b)図示の新しいデータ列Zが作成される。ここで使用される変換論理は次式により規定される。

【0037】

示電圧V<sub>oij</sub>が画素電極に有効に書き込まれるのは、走査線Y<sub>i</sub>のゲート電圧が選択状態且つ、書き込み信号G<sub>ij</sub>が選択状態の時のみである。G<sub>ij</sub>が非選択の時、表示電圧V<sub>oij</sub>は何であっても、画素電極5<sub>ij</sub>に影響はない。

【0041】第4の実施の形態の表示信号処理回路には、フレームメモリが必要となる。フレームメモリには全画素の表示データと共に、全フレームデータからデータの更新があったかどうかを判定するための書替え選択信号G<sub>ij</sub>も同時に格納される。CPUなどから、フレームメモリへのデータ更新があった場合、この選択信号G<sub>ij</sub>は例えば“H”に設定される。フレームメモリデータは、走査線ごとに逐次照合され、G<sub>ij</sub>が“H”となる走査線では画像データが信号線駆動回路へ転送される。この際G<sub>ij</sub>が“L”となっている画素データは例えば全て“L”とされ、シフトレジスタなどで消費される消費電力が抑制される。

【0042】また、第4の実施の形態において、上述の第1乃至第3の実施の形態のいずれかに従い信号線駆動回路へ表示データを転送すると、更に低電力化が計ることが可能となる。

【0043】図8は本発明の第5の実施の形態に係る液晶表示装置の特徴部分を示す図である。液晶パネル1はメモリ機能を有し、且つ各画素は白か黒の2つの表示状態を取るようになっている。本実施の形態においては、各画素に入力される表示信号は“H”または“L”の2値である。この表示信号は、TFT94を介してフリップフロップ(FF)95へ入力される。入力データが“H”の時、FF95の出力は反転する(即ちデータが書替えられる。)。入力データが“L”の時、FF95の出力は変化せず、前の状態が保持される。TFT96、97はCMOSのバッファ回路であり、液晶層98を駆動するための回路である。

【0044】第5の実施の形態においては、フレームメモリ91が使用され、表示信号が新規に書き込まれた画素に対応するデータが、図5(b)図示のデータ変換を受けた状態で格納される。即ち、フレームメモリG<sub>ij</sub>において、G<sub>ij</sub>=“H”の画素のみ、表示データが更

20

30

40

50

新される。フレームメモリ内のデータはコントロール回路92を介して走査線ごとに信号線駆動回路93a、93bに転送され、液晶パネルの信号線に印加される。ここで、信号線駆動回路93a、93bに転送されるデータは、書替えが行われたビットのみ“H”で、他は全て“L”となっている。このためデータの書替え量が少ないOA用の場合は、データの変化によるシフトレジスタの消費電力を最小限に抑えることが可能となる。

【0045】

【発明の効果】本発明によれば、表示信号としてデジタル信号を用いた表示装置において、画像データが隣接画素間で相関性を有することを利用して、駆動回路で処理するデータ量を低減することできる。従って、液晶表示装置、特にOA用の表示装置の駆動回路の消費電力の大半を占める動的電力を大幅に低減することができる。

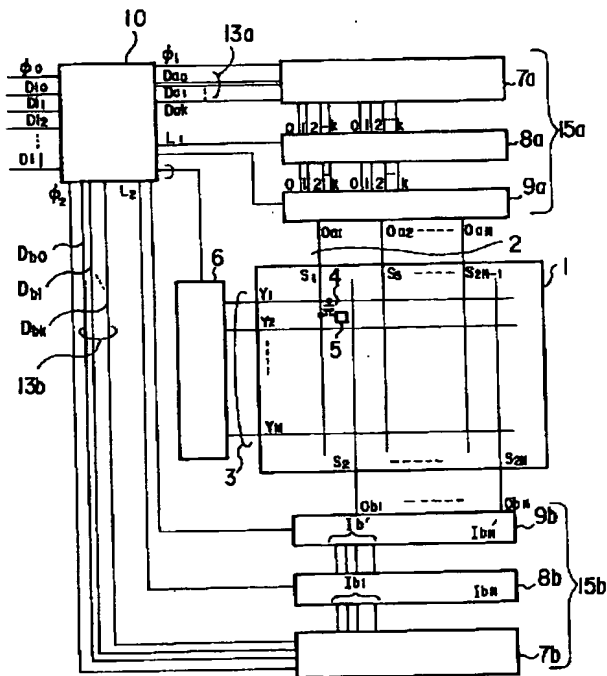
【図面の簡単な説明】

【図1】液晶表示装置の概要を示すブロック図。

【図2】本発明の第1の実施の形態に係る液晶表示装置の特徴部分を示す図。

【図3】本発明の第2の実施の形態に係る液晶表示装置の特徴部分を示す図。

【図1】



【図4】本発明の第2の実施の形態に係る液晶表示装置の本体側の概略を示す図。

【図5】本発明の第3の実施の形態に係る液晶表示装置の特徴部分及び論理データ列を示す図。

【図6】本発明の第3の実施の形態に係る論理データ列の復調を信号線駆動回路で実現する態様を示す図。

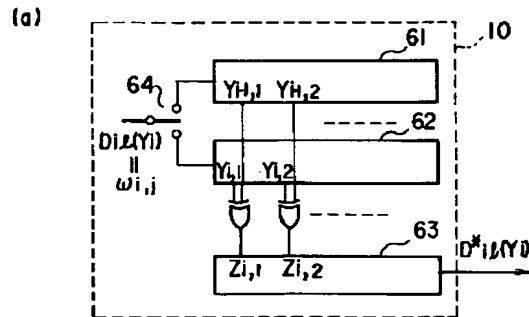
【図7】本発明の第4の実施の形態に係る液晶表示装置の特徴部分を示す図。

【図8】本発明の第5の実施の形態に係る液晶表示装置の特徴部分を示す図。

【符号の説明】

1…液晶パネル、2…信号線、3…ゲート線、4…TFT、5…画素電極、6…走査線駆動回路、7a、7b…シフトレジスタ、8a、8b…ラッチ回路（ラインメモリ）、9a、9b…DAコンバータ、10…コントロール回路、21、22…シフトレジスタ、23…コンパレータ、29a、29b…ラインバッファ、30a…CPU、30b…ビデオメモリ（フレームメモリ）、31、32…シフトレジスタ、61、62、63…シフトレジスタ、71…シフトレジスタ、72…ラインメモリ、73…データ復調回路。

【図5】



(b)

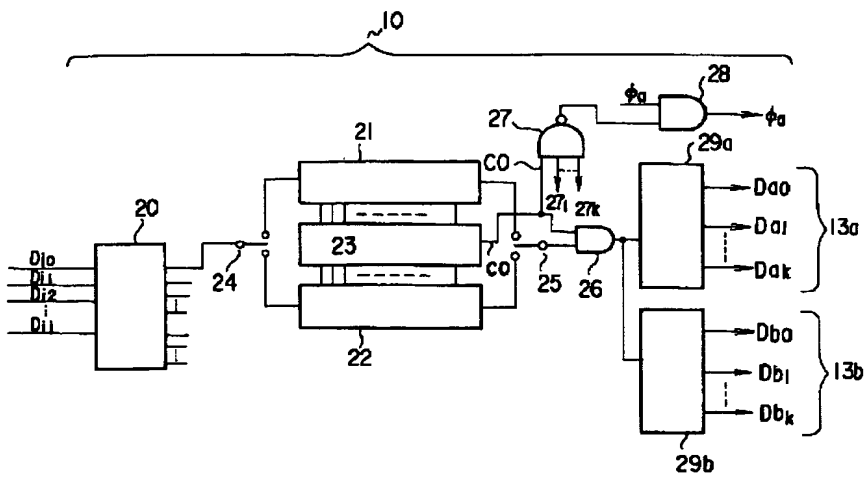
	X1	X2	X3	X4	X5	X6	X7	X8	Xj
Yi-1	0	0	1	0	1	1	1	0	--- ωi-1,j
Yi	0	0	1	0	0	0	1	1	--- ωi,j
Zi	0	0	0	0	1	1	0	1	--- ωi,j

$$Z_{ij} = \overline{Y_{i-1,j}} \cdot Y_{i,j} + Y_{i-1,j} \cdot \overline{Y_{i,j}}$$

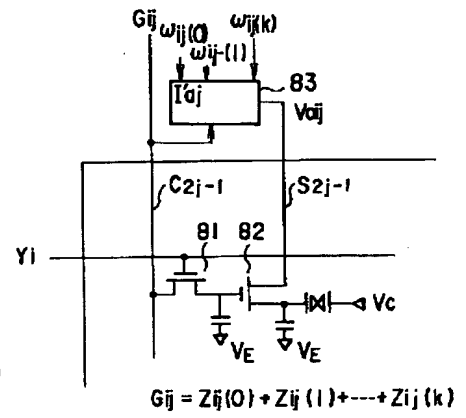
(Y<sub>i-1,j</sub> = 0, Y<sub>i,j</sub> = Y<sub>i,j</sub>)



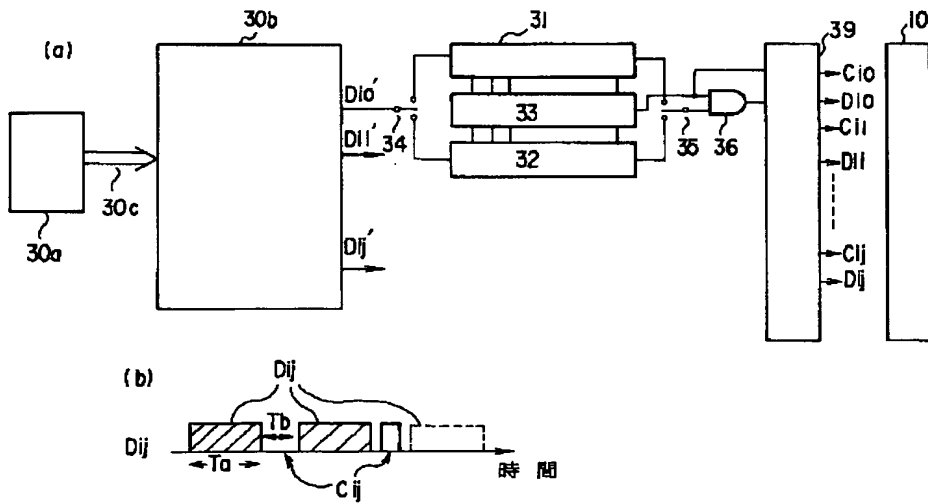
【図2】



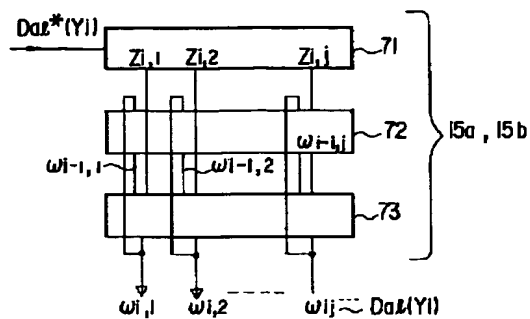
【図7】



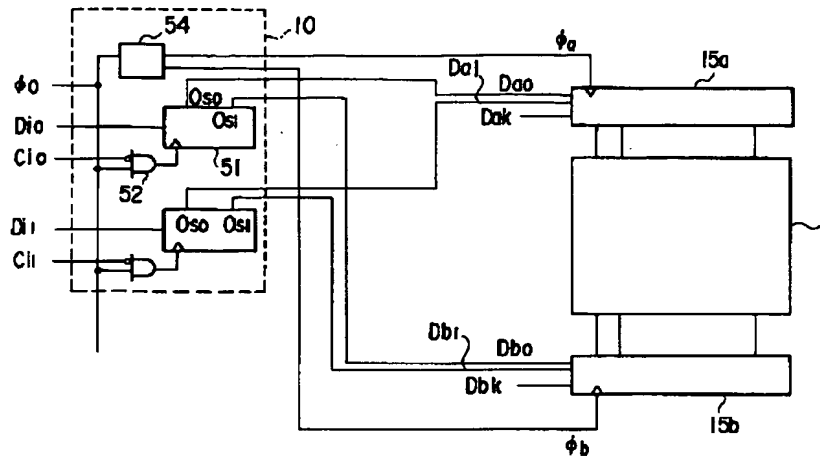
【図3】



【図6】



【図4】



【図8】

